

論文内容要旨 (和文)

平成 18 年度入学 大学院博士後期課程 システム情報工学専攻 知能機械システム講座

学生番号 06522302

氏 名 佐藤 啓一



(英文の場合は、その和訳を () を付して併記すること。)

論文題目 FPGA 構造に適した 3 次元超音波撮像用演算器に関する研究

申請者の所属する研究グループは演算を基盤とする多次元計測用の 3 次元超音波撮像システムを開発している。このシステムの目指すところは、動態に対して超音波の送受信回数毎にエコーデータを高速計算しリアルタイム(数百[ms/frame])に 3 次元画像を連続出力することである。つまり高速演算が実用化にとって重要な課題である。現有のシステムでは汎用 CPU によるソフトウェア(SW)処理により 3 次元画像再生を採っている。しかしながらこの処理体系で低コストで効果的な高速演算を行うことは困難を極める。効果的な高速演算を実現させるのに ASIC (Application specified integrated circuit) や FPGA (Field programmable gate array) 上にアルゴリズムをハードウェア(HW)実装することが有効である。その一方で、多数の積和ユニットやプロセッサを搭載し高い浮動小数点演算性能を持つ DSP (Digital signal processor) や GPU (Graphic processing unit) にアルゴリズムをプログラム実装して高速処理する手法もよく用いられている。

開発中の撮像システムは医療機器を前提とした組み込み機器として実用化する方針であり、高速演算の他に低消費電力及び小型化といった要求仕様を満たす必要がある。更に、このシステムは超音波送受信で得られたエコーが十数ビット幅の固定小数点データとして演算部へ転送及び処理される仕様となっている。従って ASIC や FPGA に比べ比較的消費電力が高く、浮動小数点演算を行う DSP や GPU の導入は効果的ではないうえに十数ビットの固定小数点データを演算するのに極めて高い精度も必要ない。

そこで本研究では固定小数点データを効果的に高速計算させ、更に実装にとって低コストで実現させるために再構成可能なハードウェアである FPGA への実装を試みる。

しかしながら、FPGA は論理構造が固定されているので、従来の ASIC 設計で使われてきた有効な回路設計技術を FPGA に導入することは必ずしも適切な手法とはいえない。そこで、FPGA 構造を意識しそれに適した演算器を検討する。本研究で用いられる像再生演算は複素乗算が多用されるので、FPGA 構造に適した複素乗算器について設計および評価を行う。

HW 実装のターゲットである像再生演算は相互相関が用いられるが、これを周波数領域で行うことで大幅な計算量の削減が可能であり、より少ない演算ユニットを用いて HW を構成することができる。その結果高コストパフォーマンスを達成することができる。

HW 設計ははじめに演算全体で最も負荷の重い部分に対して演算パイプラインを複数導入し演算の並列化を行う。そして撮像システム全体の動作に合わせて演算フローを適宜変更することで効

論文内容要旨 (英文)

平成 18 年度入学 大学院博士後期課程 システム情報工学専攻 知能機械システム講座

学生番号 06522302

氏 名 佐藤 啓一



論文題目 Hardware architecture for three-dimensional ultrasound imaging suited for FPGA structure

A 3D ultrasound imaging system involving computations is developed for use in medical diagnostic applications. The feasibility of an imaging methods based on computations depends on the performance of a computing system, high-speed image reconstruction is required for practicability. In the present system, an image reconstruction algorithm is implemented in C language. When computation is performed on a personal computer (PC), the latency for generating a 3D image is approximately 40 [s]. Thus, it would be difficult to perform high-speed image reconstruction by a software (SW) processing. The reduction in computation time is one of the most important issues. As the data computed in the system are fixed-point data, the author examines hardware (HW) implementation of the algorithm utilizing a field-programmable gate array (FPGA) which is possible to rapidly compute simple fixed-point arithmetic in lower cost.

Subsequently, the author analyzes the critical path delay of the designed HW and then reduce the path delay by modifying the architecture using FPGA resources to increase the maximum operating frequency.

Consequently, the HW's processing speed was approximately 350 times faster than SW processing.

In circuit design on FPGA, it may unsuitable for circuit design on FPGA to introduce the effective design method utilized on ASIC (Application specified integrated circuit) design because the FPGA's logic structure is fixed.

Thus, the author proposes the higher performance circuit design method suited for FPGA. As the image reconstruction involves many complex multiplications, the author designs complex multipliers suited for FPGA structure and subsequently evaluate path delay and scale.

The proposed complex multipliers are based on LUT (Look-up-table) and Carry-chain which are FPGA resources. The resources are effectively utilized for partial product generation and compression circuits to compose the complex multiplier, some types of complex multipliers are designed.

Consequently, the circuits designed by the proposed methods were superior to the circuit synthesized by operator ('*', '+', and '-') from VHDL description for both the path delay and the scale.

From abovementioned, this thesis expresses the circuit design methods based on FPGA.

別紙

専攻名	システム情報工学専攻	氏名	佐藤 啓一
学位論文の審査結果の要旨			
<p>本論文の研究では,FPGA(Field Programmable Gate Array)をベースとした3次元超音波撮像用像再生演算ハードウェア(HW)のアーキテクチャ設計およびFPGA構造を考慮した回路設計手法について述べられている。論文は全8章から構成されており,第1章は研究背景・目的,第2章から第6章までは像再生用HW,第7章はFPGA構造を考慮した回路設計,および第8章で以上の研究を結論・総括事項が述べられている。</p> <p>第1章では計算による撮像システムのボトルネックおよびFPGAにHWを実装する上での問題点を明らかにし,それに対してFPGAにHW実装するための有効な設計手法の提案策を述べる。</p> <p>第2章では3次元超音波撮像の基礎原理を述べ,次いで第3章でHW実装対象となる具体的な像再生演算を明示した。</p> <p>第4章は専用HWを撮像システムで運用するための演算システムアーキテクチャの概要を示し,第5章でHWのアーキテクチャ設計について段階的詳細に渡り述べる。そして第6章では前章で設計されたHWに対してクリティカルパスを解析し,その部分に対してFPGA構造に基づくアーキテクチャ変更によりこれを改善し,処理性能向上を図る。その結果クリティカルパス改善前のHWに比べ約1.5倍の速度向上を達成した。</p> <p>以上設計手法に基づき設計されたHWについて,像再生に要するレイテンシから速度性能を評価したところ,汎用CPU(CPU:Pentium4-2.53[GHz],メモリ:DDR512[MB])を用いたソフトウェア処理に比べ約数百倍の速度向上が確認された。</p> <p>第7章では,FPGAの基本リソースであるLUT(Look up table)およびCarry-chainを用いたFPGA向けの複素乗算器構造について,複素乗算の形態,部分積生成部および部分積圧縮部についてそれぞれFPGA構造を考慮して回路設計及び評価を行い,FPGA実装時の高性能複素乗算器構造を明らかにした。</p> <p>最後の第8章では以上の取り組みに関して結論付け,また関連分野における本研究の位置づけおよび貢献について述べ,今後の発展および提案事項を述べて総括した。</p> <p>なお,本学位論文内容に関する印刷公表として,査読付き学術雑誌への論文1編,速報1編,予稿2編,および査読なし予稿1編が発表されている。本論文では,有限リソースかつ固定された構造を持つFPGAに対して高性能回路を得るうえでの信号処理演算手法およびHW設計手法を提案し,多岐にわたり定量的かつ詳細に渡る評価を行いその有効性を示した。更にFPGAを用いた演算システムはコストパフォーマンスの高い計測システム構築における実現可能性を示した。</p> <p>以上の本論文の内容は当該分野において工学的見地から有意義であり,合格と判定する。</p>			
最終試験の結果の要旨			
<p>最終試験は口頭により本論文とそれに関する分野に対して行われた。</p> <p>本論文内容において,ターゲットデバイスのFPGA特有の構造を主眼において高速演算可能な信号処理用HWおよび高性能論理回路を設計する手法,演算効率を高めるうえでの提案手法,および回路規模が制約されるFPGAに対して高コストパフォーマンスを達成可能な演算手法についての独創性については審査員一同が認めた。</p> <p>当該分野において専門的な業務に従事するのに要する高度の研究・開発能力,そして博士としての幅広い学識を備えていると判断し,最終試験を合格とした。</p>			