

短冊形磁心を用いたパルス幅読み出し回路の基礎的実験

大内隆夫・福寿三典・鈴木春男

工学部 電気工学科

1 緒 言

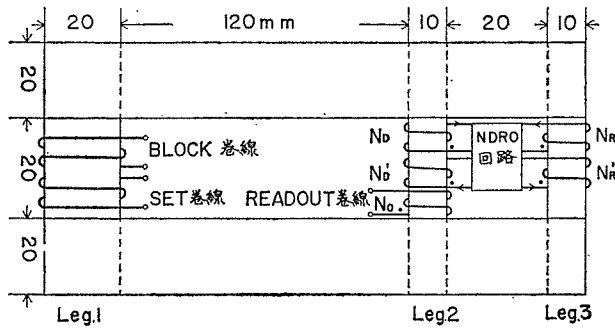
最近、角形ヒステリシスループを有する磁心は安定した飽和値が存在するほか、電圧の積分作用や記憶の機能があるためサンプル値制御系におけるパルス幅変調器および遅延素子として興味ある応用がなされている⁽¹⁾。また、計算機制御の進歩にともない計算機と制御対象とを結合する装置の一つとして非破壊読み出しアナログメモリの必要度が増してきている。これらの機能をもつものとして、強誘電体方式⁽²⁾および種々の磁気コア方式⁽³⁾が提案されているが、なかでもトランスフラクサ方式が性能と価格の点ですぐれている。この方式の非破壊読み出し方法として小孔のまわりに高周波交流電流を流すもの⁽⁴⁾、*Royer*の発振回路を用いるもの⁽⁵⁾、線形磁化特性をもつ別の材料で作った読み出し用磁路を接合させて行なうもの⁽⁶⁾、およびエサキダイオード発振を用いる方法⁽⁷⁾についての報告がある。これらはフェライトを材料とする多孔磁心が多いが、鉄・ニッケル異方性50%パーマロイの板状磁心で任意の形状の多孔磁心を構成し論理回路として動作させた例⁽⁸⁾もある。

しかし、高周波交流電流を流す場合の読み出し出力は直流であり、*Royer*の発振を用いるものはトリガ・パルス状雑音による誤動作が多くエサキ・ダイオード発振を用いるものと同様に読み出し出力は周波数であり、いずれの場合にも出力特性の直線性および記憶の設定などには問題が残されており読み出し回数に対する記憶の保持特性についての検討はなされていない。さらにこれらのトランスフラクサで非破壊的に読み出しパルス幅変調器として動作する読み出し方式については検討されていない。

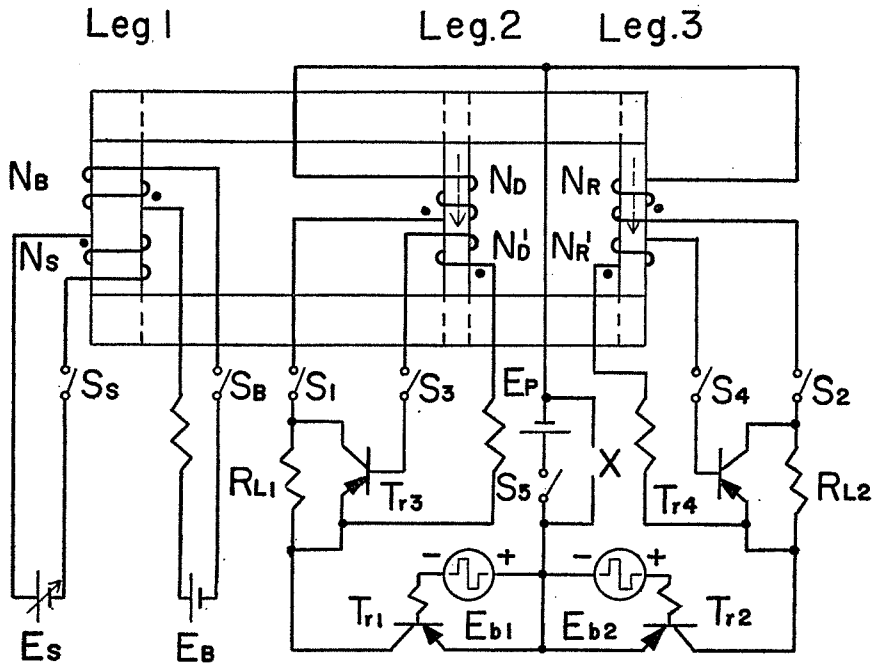
本論文では、鉄・ニッケル異方性50%パーマロイの板状磁心を用いて二孔磁心を構成し、比較的低い周波数(ここでは50 Hz)の方形波電圧で非破壊的に読み出しパルス幅変調器として動作する新回路方式を考案した。この方式では出力特性の直線性もよく単調減少および単調増加の二種類があるため帰還設定も容易である。さらに、上記二種類の書き込み読み出し特性と各脚の磁束レベルおよび磁路の関係を明らかにし、読み出し回数に対する記憶保持特性を検討し実用性のあることを確かめた。またスイッチングトランジスタの動作により読み出し側の各巻線には方形波電圧が印加されさらにスイッチングトランジスタの動作により飽和を検出しているためトリガ・パルス状雑音に対しても安定に動作する。このようなパルス幅変調器は種々の長所があるので計測および自動制御の分野ではもちろん計算機制御および学習メモリなどにも応用できるものと思われる。

2 回路構成および動作原理

第1図には厚さ0.1mm, 幅20mmで長さ180mmと60mm, および厚さ0.1mm, 幅10mmで長さ60mmのFe-Ni異方性50%パーマロイを材料とする板状磁心を用いて構成した短冊形多孔磁心^{(9),(10)}を示す。あわせて各部の寸法と巻線方法も示す。第2図はこの



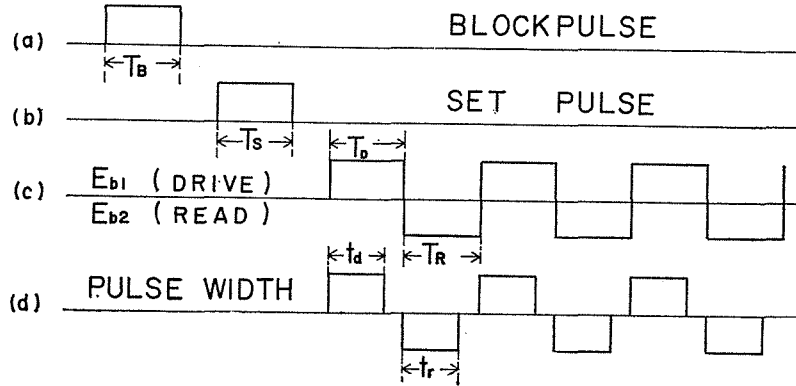
第 1 図



第 2 図

多孔磁心を用いたパルス幅読み出し回路を示す。脚1にはブロック巻線 N_B とセット巻線 N_S が巻かれており、脚2にはドライブ巻線 N_D 、飽和検出巻線 N_D' と出力巻線 N_O が巻かれており、脚3にはリード巻線 N_R と飽和検出巻線 N_R' が巻かれている。使用したトランジスタ $T_{r1} \sim T_{r4}$ はいずれもスイッチとして動作しており、スイッチ $S_S, S_B, S_1 \sim S_5$

は電磁リレーを使用した。 E_{b1} と E_{b2} はスイッチングトランジスタ T_{r1} と T_{r2} を駆動する 50Hz の方形波電源電圧である。第3図は本回路の設定および読み出し動作を説明するタイム・チャートである。はじめ、ブロック巻線に接続されたリレー S_B が第3図(a)に示されたブロックパルス幅 T_B だけ閉じ、脚2と脚3の磁束レベルは負の飽和値までリセ



第 3 図

ットされる（以下この動作をブロックと名づける）。セット巻線に接続されたリレー S_S が第3図(b)に示されたセットパルス幅 T_s だけ閉じ、脚2の磁束レベルを負の飽和値から入力に比例した磁束レベルまでセットさせる（以下この動作をセットと名づける）。このブロックとセット動作期間スイッチ $S_1 \sim S_3$ は開かれている。つぎに、リレー S_B と S_S を開き、リレー $S_1 \sim S_3$ を同時に投入するものとする。方形波電源電圧 E_{b1} と E_{b2} が図示された極性に印加されると T_{r1} が導通し抵抗 R_{L1} を通してドライブ巻線 N_D に電流が流れるため磁束変化が生じて飽和検出巻線 N_D' に電圧が誘起される。この電圧はスイッチングトランジスタ T_{r3} を導通させ N_D 巻線には、ほとんど全電圧が印加される。その結果、あらかじめセットされた磁束レベルから負の飽和磁束レベルまで脚2の磁束が変化し、飽和と同時に T_{r3} が非導通となり、全電圧が抵抗 R_{L1} に印加される（以下この動作をドライブと名づける）。脚2の磁束が変化する場合その磁束の大部分は磁路長の短い脚3を通路とするため、ドライブされた脚2の磁束量は脚3に移される。そのため、脚3は負の飽和磁束レベルから脚2がセットされたと同じ磁束レベルまでドライブされる。方形波電源電圧 E_{b1} と E_{b2} の極性が反転すれば T_{r2} が導通し、前述と同理により T_{r4} も導通しリード巻線 N_R にはほとんど全電圧が印加される。その結果、ドライブされた磁束レベルから負の飽和磁束レベルまで脚3の磁束が変化し、飽和と同時に T_{r4} が非導通となり、全電圧が抵抗 R_{L2} に印加される（以下この動作をリードと名づける）。脚3の磁束が変化する場合その磁束の大部分は磁路長の短い脚2を通路とするため、リードされた脚3の磁束量は脚2に移される。そのため、脚2は負の磁束レベルからセットされたときと同じ磁束レベルまでリードされる。次の半周期には再び T_{r1} が導通となり、したがって T_{r3} も導通し、前述と同原理のドライブにより脚2の磁束量が脚3に移される。そ

れ以後は第3図(c)に示すごとく前述と同様にリード、ドライブが繰り返される。セット時の磁束変化を $\Delta\Phi$ 、ドライブ巻線 N_D およびドライブ巻線に印加される電圧を E_D とすれば、脚2に巻かれている読み出し巻線には $t_d = N_D \Delta\Phi / E_D = t_r$ で近似されるパルス幅が第3図(d)に示すように現われる。一たん、セット動作により入力を磁束量として書き込めば、あとはパルス幅として非破壊的に読み出すことが可能である。

3 書き込み読み出し特性と各脚の磁束レベルおよび磁路の関係

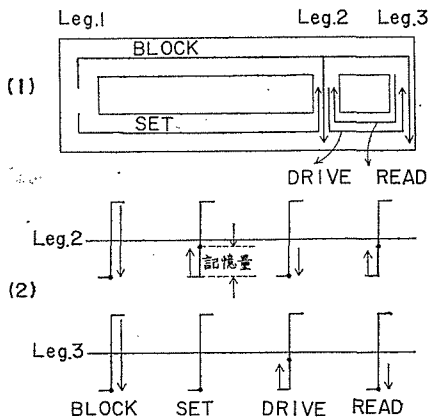
脚2のドライブ時および脚3のリード時における磁束レベルの変化の方向はいつも第2図の点線矢印で示した方向である。いまこの方向を基準とすれば、脚2または脚3のブロックとセット時における磁束の変化方向の決め方に二種類の方法がある。またドライブとリードでどちらが先に行なわれるかによって各脚の磁束レベルに相異が生ずる。これより、種々の動作モードについて読み出し機構を説明する。

3・1 ブロックの方向が時計方向回転の場合

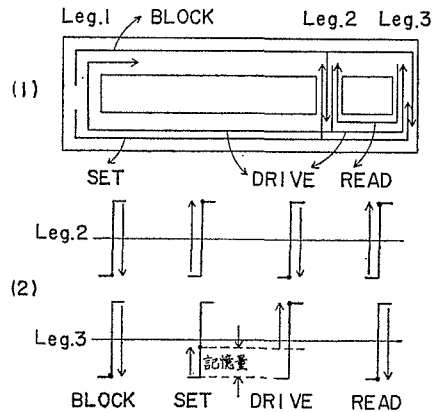
第4図(a)~(d)は脚2と脚3の磁束変化の方向が脚1に対して時計回転方向であり負の飽和値までブロックされた場合の種々の動作モードにおける各脚の磁束レベルと磁束の通路を示す。

(1) ドライブ・リードの順に読み出される場合 第4図(a)は脚2のみがセットされる場合を示し、前章2の動作原理で述べたと同じ基本的書き込み読み出し機構をわかりやすく説明したものである。

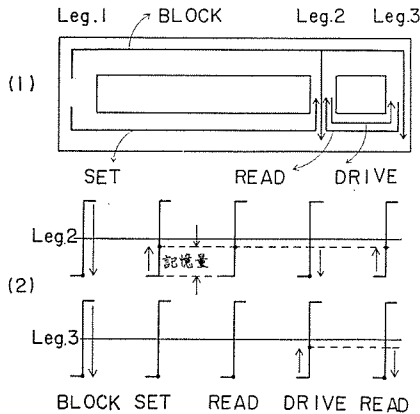
第4図(b)はセット入力さがさらに大きくなり過入力の場合を示し、同図(2)のセット時における脚2の磁束レベルで示すようにこれが正の飽和に達すれば、それ以上のセット入力時の磁束は脚3を通るようになりこの過入力分だけが脚3に書き込まれる。次のドライブ動作により脚3の磁束レベルは同図(2)に示すようにセットされた磁束レベルより正の飽和磁束に向う。飽和と同時に脚2の磁束は脚1を通り同図(2)に示すように脚2



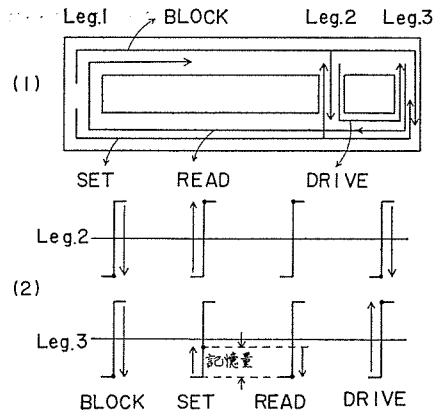
第4図(a)



第4図(b)



第 4 図 (c)



第 4 図 (d)

の磁束レベルは負の飽和値まで下げられる。次のリード動作により脚2は負の飽和磁束レベルより正の飽和磁束レベルまで変化する。一方脚3は正の飽和磁束レベルより負の飽和磁束レベルまで変化する。そのため、読み出し巻線には最大のパルス幅が現われる。

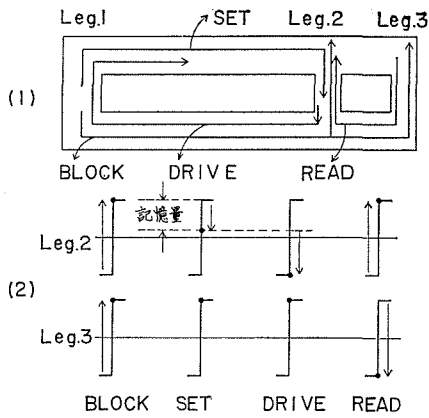
(2) リード・ドライブの順に読み出される場合 第4図(c)は脚2のみがセットされる場合を示し、リードが先に行なわれるものとする、脚3はブロックによって負の飽和磁束レベルまで下げられているのでリードによる磁束レベルの変化は起こらない。一方この期間には脚2の磁束レベルの変化もなくセットされた磁束レベルにとどまる。次のドライブにより脚2の磁束はセットされた磁束レベルより負の飽和磁束レベルまで変化する。この変化された磁束量が同図(2)に示すように脚3に移される。これ以後は第4図(a)と同じ基本的読み出し機構となる。

第4図(d)はセット入力が過入力の場合を示し、脚2のセット磁束レベルが正の飽和値に達すれば、それ以上のセット入力時の磁束は脚3を通るようになりこの過入力分だけが脚3に書き込まれる。次にリードが先に行なわれるものとする、脚2は正の飽和磁束レベルにあるので脚3の磁束は脚1を通路としてセットされた磁束レベルより負の飽和磁束レベルまで変化する。次のドライブにより脚2の磁束は正の飽和磁束レベルより負の飽和磁束レベルまで変化する。一方、脚3は負の飽和磁束レベルより正の飽和磁束レベルまで変化する。そのため読み出し巻線には最大のパルス幅が現われる。

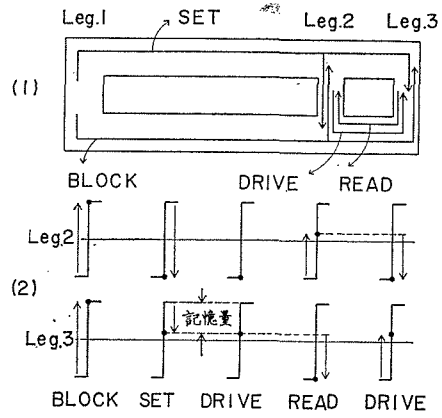
3・2 ブロックの方向が反時計方向回転の場合

第5図(a)~(d)は脚2と脚3の磁束変化の方向が脚1に対して反時計回転方向であり正の飽和値までブロックされた場合の種々の動作モードにおける各脚の磁束レベルと磁束の通路を示す。

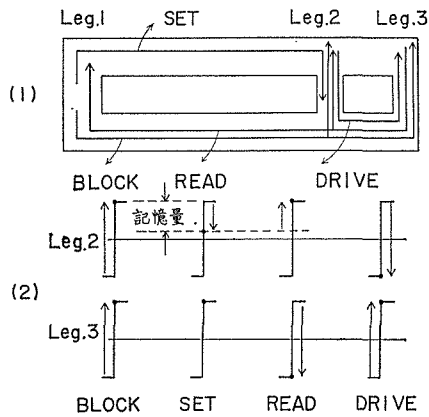
(1) ドライブ・リードの順に読み出される場合 第5図(a)は脚2のみがセットされる場合を示す。次のドライブで脚3は正の飽和磁束レベルにあるので脚2の磁束は脚1を通路としてセットされた磁束レベルより負の飽和磁束レベルまで変化する。次のリードにより脚2の磁束は負の飽和磁束レベルより正の飽和磁束レベルまで変化する。一方、脚3



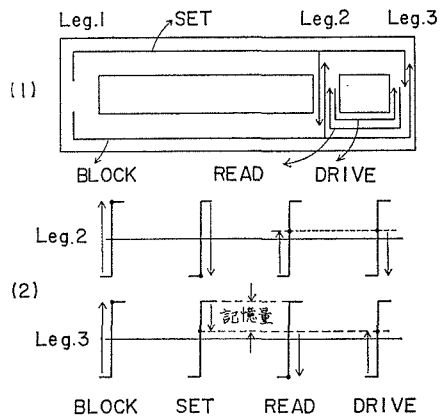
第 5 図 (a)



第 5 図 (b)



第 5 図 (c)



第 5 図 (d)

は正の飽和磁束レベルより負の飽和磁束レベルまで変化する。そのため、読み出し巻線には最大のパルス幅が現われる。

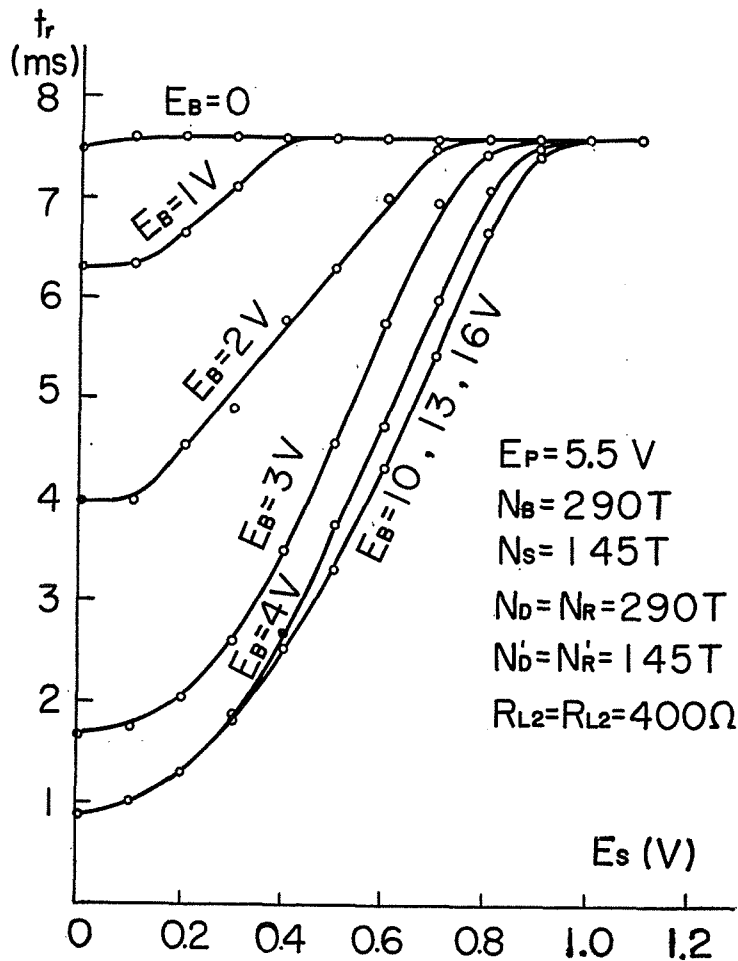
第5図(b)はセット入力が過入力の場合を示し、脚2のセット磁束レベルが負の飽和値に達すれば、それ以上のセット入力時の磁束は脚3を通るようになり、この過入力分だけが脚3に書き込まれる。脚2はセットによって負の飽和磁束レベルまで下げられているのでドライブによる磁束レベルの変化は起こらない。一方、この期間には脚3の磁束レベルの変化もなくセットされた磁束レベルにとどまる。次のリードにより脚3の磁束はセットされた磁束レベルより負の飽和磁束レベルまで変化する。この変化された磁束量が同図(2)に示すように脚2に移される。次のドライブによりこの脚2の磁束量が再び脚3に移される。

(2) リード・ドライブの順に読み出される場合 第5図(c)は脚2のみがセットされる場合を示す。次のリードで、脚3の磁束は正の飽和磁束レベルより下げられるがそれと

同時に脚2の磁束はセットされた磁束レベルより正の飽和磁束レベルに向かって変化する。飽和と同時に残りの脚3の磁束は脚1を通路として負の飽和磁束レベルまで変化する。次のドライブにより脚2の磁束は正の飽和磁束レベルより負の飽和磁束レベルまで変化する。一方、脚3の磁束も負の飽和磁束レベルより正の飽和磁束レベルまで変化する。そのため読み出し巻線には最大のパルス幅が現われる。

第5図(d)はセット入力が過入力の場合を示し、第5図(b)と同様に過入力分だけが脚3に書き込まれる。次のリードにより、脚3の磁束はセットされた磁束レベルより負の飽和磁束レベルに向かって変化する。それと同時に脚2の磁束は負の飽和磁束レベルより上げられる。飽和と同時に脚2の磁束の変化がとまる。次のドライブでは前述と同原理により脚2の磁束量が脚3に移される。

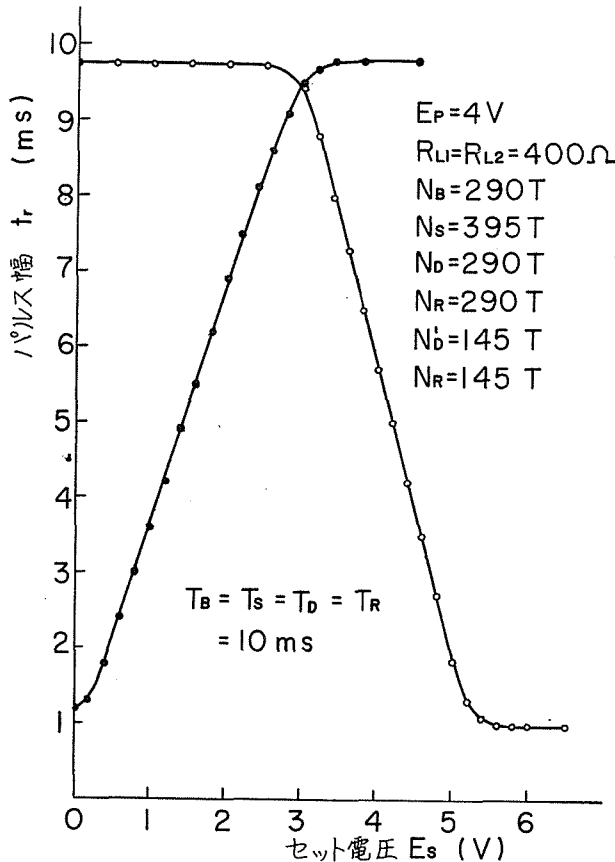
4 書き込み読み出し特性の基礎的実験



第 6 図

第6図はブロック電圧を決定するためのものでブロック電圧 E_B をパラメータとしたときのセット電圧 E_s に対する読み出しパルス幅 t_r 特性を示したものである。ブロック巻線数 $N_B=290T$ 、セット巻線数 $N_s=145T$ 、ドライブ巻線数 N_D = リード巻線数 $N_R=290T$ 、 $N_D'=N_R'=145T$ 、 $E_p=5.5V$ 、ブロック電圧 E_B を $10V$ 、 $13V$ および $16V$ と増加してもほとんどこの特性が一致することがわかる。そこで $N_B=290T$ に対しては $E_B=10V$ に決定した。ここで使用したスイッチングトランジスタ $T_{r1} \sim T_{r4}$ は 2S A205 である。リレー S_B および S_s は小型電磁リレーで閉じる時間 T_B および T_s を正確に $10ms$ に調整してある。また $T_D=T_R=10ms$ である。リレー $S_1 \sim S_4$ は多接点小形電磁リレーでドライブおよびリードが行なわれる期間と同じ電磁リレー S_s とともに閉じている。

第7図はブロックの方向が時計方向回転時のセット電圧 E_s に対する読み出しパルス幅



第7図

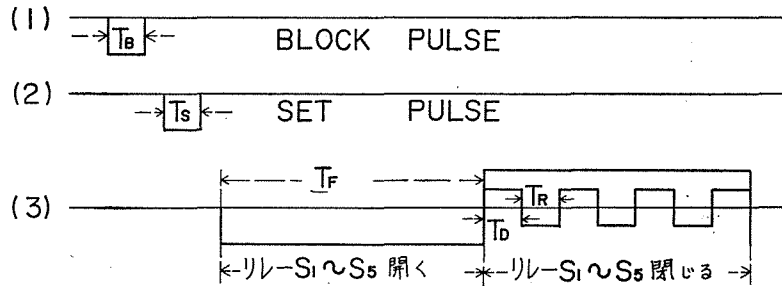
t_r 特性（単調増加特性）Aとブロックの方向が反時計方向回転時の同じ特性（単調減少特性）Bの二つの特性を示す。特性Aのうちセット電圧 E_s が $E_s < 3V$ の範囲内の特性は第4図(a)または第4図(c)の動作説明図で説明され、セット電圧 E_s に対してパルス幅は直線的に増加する。 $E_s > 3V$ の範囲の特性は第4図(b)または第4図(d)の動作説明図で説

明されていづれの場合もパルス幅は最大値を保つ。特性Bのうちセット電圧 E_s が $E_s < 3V$ の範囲内の特性は第5図(a)または第5図(c)の動作説明図で説明されいづれの場合もパルス幅は最大値を保つ。 $E_s > 3V$ の範囲の特性は第5図(b)または第5図(d)の動作説明図で説明され、セット電圧 E_s に対してパルス幅は直線的に減少する。 $N_B=290T$, $N_S=395T$, $N_D=N_R=290T$, $N_D'=N_R'=145T$, $E_B=10V$, $E_P=4V$, $T_B=T_S=T_D=T_R=10ms$ である。

5 記憶保持特性の基礎的実験

入力電圧を磁束量で蓄積しこれをパルス幅で読み出す場合の記憶の保持特性を検討した。第8図はこの保持特性を測定するためのタイム・チャートである。初めに第2図のリレー $S_1 \sim S_5$ を開きブロック($E_B=10V$, $T_B=10ms$)してから次にセット($T_S=10ms$)する。リレー S_B と S_S を開きそれからリレー $S_1 \sim S_5$ を閉じてリード時における読み出しパルス幅 t_r を測定する。このパルス幅を基準とし、リレー $S_1 \sim S_5$ のみを開閉させた場合、リード時の読み出しパルス幅が基準パルス幅に対してどの位変わるかを実験した。リレー $S_1 \sim S_5$ の開閉を手動で行なうのは大変なので、第8図(3)に示すように第2図のスイッチングトランジスタ T_{r1} と T_{r2} 駆動用方形波電源電圧と同期した超低周波の方形波($T_F=640ms$)でリレー $S_1 \sim S_5$ を開閉させた。そしてある時間経過後のリード時におけるパルス幅 t_r を測定し基準パルス幅 t_{r0} との変化から百分率偏差 ε を次式のように表わした。

$$\varepsilon = 100 \times (t_r - t_{r0}) / t_{r0} \quad (\%) \quad \dots\dots(1)$$



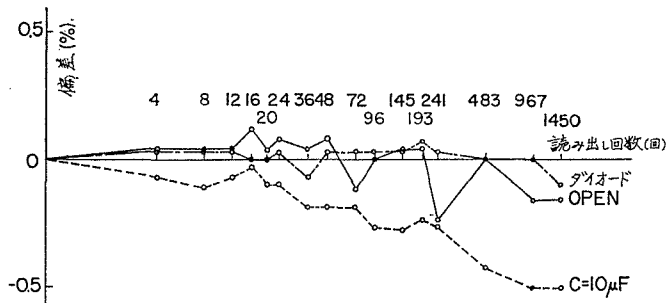
第 8 図

ここでリレーの数はできるだけ少ないほうが好ましいので第2図のリレー S_1 と S_2 は取り除きそこを短絡した。そしてリレー $S_3 \sim S_5$ のみを前述と同様に超低周波の方形波で開閉させて同じように偏差 ε を測定したが大きな相異がなかったので、リレー $S_3 \sim S_5$ のみを開閉させた場合の測定結果について述べる。

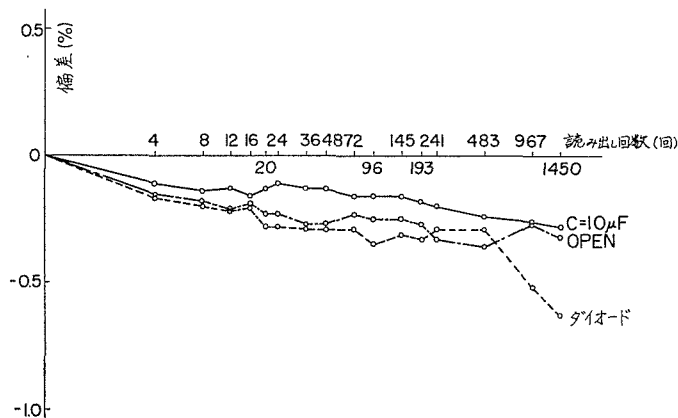
5・1 ブロックの方向が時計方向回転の場合

回路定数は第7図の特性測定時と同じで、単調増加特性Aの直線領域にあたる $E_s=0.6V$, $1.5V$ および $2.4V$ の時の読み出し回数に対するパルス幅の偏差 ε を測定する。パラ

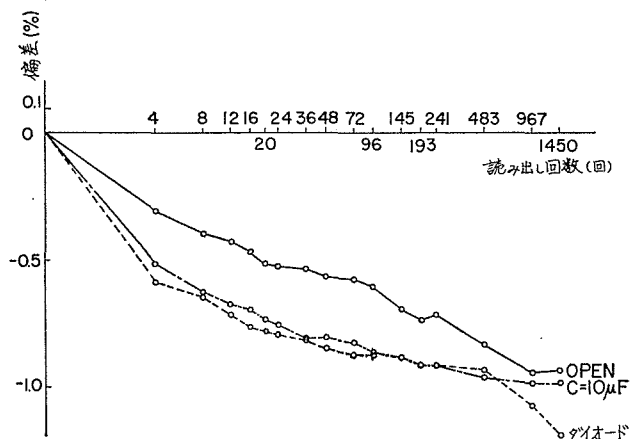
メータとして第2図の直流電源に並列の X 端子にコンデンサ $C=10\mu F$ およびダイオードを接続した場合と開放の場合を選んだ。第9図(a)は $E_s=0.6V$ の場合、第9図(b)は $E_s=1.5V$ の場合および第9図(c)は $E_s=2.4V$ の場合を示す。



第 9 図 (a)



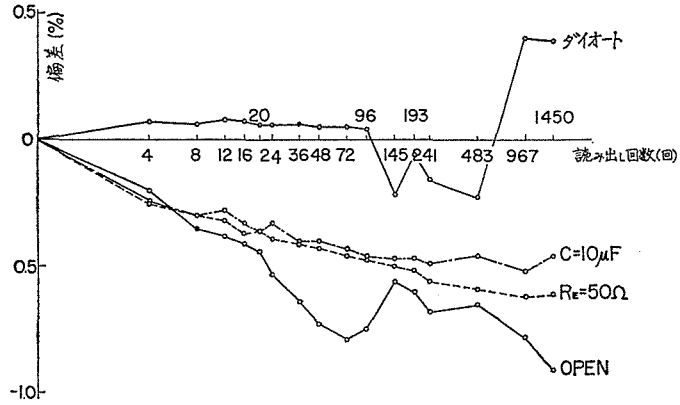
第 9 図 (b)



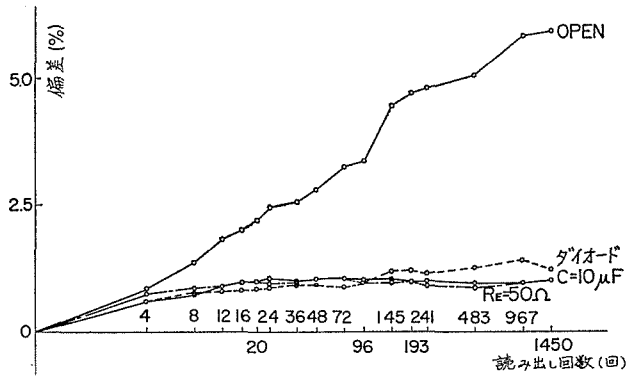
第 9 図 (c)

5・2 ブロックの方向が反時計方向回転の場合

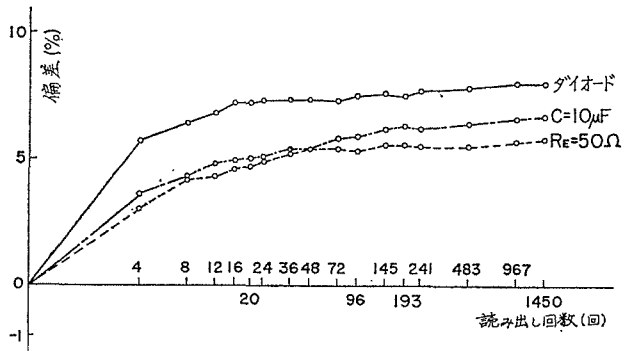
回路定数は第7図の特性測定時と同じで、単調減少特性 B の直線領域にあたる $E_s = 3.2$ V, 4.1V および 5 V の時の読み出し回数に対するパルス幅の偏差 ε を測定する。パラメータとして第2図の直流電源に並列の X 端子にコンデンサ $C = 10\mu\text{F}$, ダイオードおよび



第10図 (a)



第10図 (b)

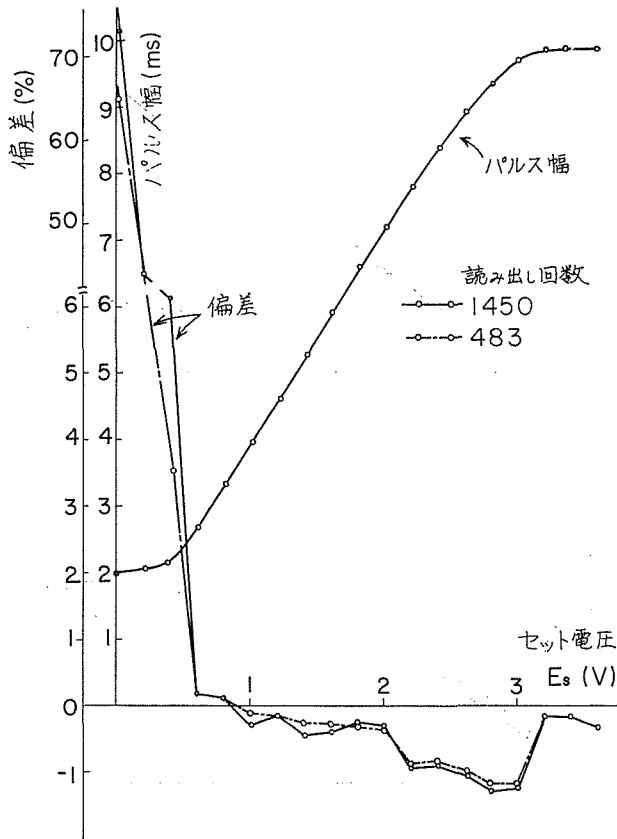


第10図 (c)

抵抗 $R_E=50\Omega$ を接続した場合と開放の場合を選んだ。第10図(a)は $E_s=3.2V$ の場合、第10図(b)は $E_s=4.1V$ の場合および第10図(c)は $E_s=5V$ の場合を示す。しかし第10図(c)で開放の場合は+5%~+21%の偏差になるため記入していない。

5・3 ブロックが時計方向回転でX端子開放時のセット電圧に対する偏差特性

ブロックが時計方向回転で X 端子開放の場合は第9図(a)~(c)からもわかるように読み出し回数に対する偏差も少なく回路動作も簡単になるので、各セット電圧に対する偏差特性を測定するのに X 端子開放の場合を最終的に用いることが適当である。回路定数は第7図の特性測定時と同じである。第11図は読み出し回数（483回および1450回）をパラメータとした場合のセット電圧に対する偏差特性を示し、あわせてセット電圧に対するパルス幅の単調増加特性を示す。同図の両特性を対照してみるとある範囲におさまる偏差によってセット電圧を区分すれば次のようになる。 $E_s=0\sim 0.6V$ 、 $E_s=0.6V\sim 2V$ 、 $E_s=2V\sim 3V$ および $E_s=3V$ 以上。 $E_s=0\sim 0.6V$ の範囲では偏差が大きくほとんど実用にならない。しかし $E_s=0.6V\sim 3V$ の範囲では1450回のリレー $S_3\sim S_5$ の開閉に対して偏差は1.3%以内にあることがわかった。



第 11 図

6 結 言

本論文では比較的到低い周波数の方形波電圧を用いて非破壊的に読み出しかつパルス幅変調器として動作する新回路方式を考案し、さらにその書き込み読み出し特性と各脚の磁束レベルおよび磁路の関係を明らかにし記憶保持特性の基礎的実験について述べた。奈良氏⁽⁴⁾らの報告したファイライト・コアを材料とするトランスフラクサを用い高周波交流電流を流して読み出す方式の記憶保持特性は一回のみの読み出しに対し直流出力電圧は2%の変化を示している。そのほか読み出し回数に対する記憶保持性について詳しく述べたものはみあたらない。これに対し本回路方式ではブロックの方向が時計方向回転時の単調増加特性において直線領域のセット電圧に対して読み出し回数が1450回での偏差は1.3%以下であり、記憶保持の強じん性の実証され定量的には多くの場合実用をさまたげない程度であることがわかった。偏差をあらわすのに何回の読み出し回数よりの値を選ぶのがよいかはそれぞれ使用目的により異なるので、一概にはきめられないが今後もう少し読み出し回数をふやして測定するつもりである。

文 献

- (1) 菊地・小西：自動制御連合講演会，第7回203（1964）
- (2) George Nagy：IEEE Trans. on Ec., p. 388（Aug. 1963）
- (3) 阪尾・大野：電気学会誌，86—8，1399（1966）
- (4) C. C. Hanson：Control Eng., p. 87（Sept. 1967）
- (5) A. G. Samusenko：RCA Review, p. 681（Dec. 1961）
- (6) 浦部・桜井：電気学会誌，87—4，721（1967）
- (7) 清水・菊地：電気学会誌，87—12，2468（1967）
- (8) 三浦・菊地：電気四学会連合大会，2720（1968）
- (9) 鈴木・福寿・大内：電気四学会連合大会，2710（1968）
- (10) 大内・福寿・鈴木：電気四学会連合大会，3351（1969）
- (11) 奈良・猪山・平野：計測と制御，7—9，606（1968）

Fundamental Experiment of Circuit with Laddic
Core for Reading out Pulse width

Takao OUCHI, Mitsunori FUKUJU and Haruo SUZUKI

Department of Electrical Engineering, Faculty of Engineering

With the advance of the computer control, the nondestructive read-out analog memory is of ever-increasing necessity as one of devices which combine the computer with the controlled system. The usefulness of ferroelectric elements and of various magnetic cores to form the memory function have already been suggested. Particularly, the multi-hole ferrite cores called the transfluxor excel others in performance and cost.

The authors used the multi-hole cores of laddic structure made of Fe-Ni 50% permalloy steel for realizing an analog memory. This paper describes fundamental experiments of the pulse width modulator which can read out nondestructively by the square wave voltage of comparatively low frequency, and describes the relation between the flux level and the flux path of each leg at the time of writing in and reading out.